

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-297081

(P2003-297081A)

(43) 公開日 平成15年10月17日 (2003. 10. 17)

(51) Int.Cl.<sup>7</sup>

G 1 1 C 11/406

11/403

識別記号

F I

G 1 1 C 11/34

テーマコード(参考)

3 6 3 N 5 M 0 2 4

3 7 1 J

審査請求 未請求 請求項の数11 OL (全 16 頁)

(21) 出願番号

特願2002-96092(P2002-96092)

(22) 出願日

平成14年3月29日 (2002. 3. 29)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 築出 正樹

東京都千代田区丸の内二丁目2番3号 三

菱電機株式会社内

(74) 代理人 100062144

弁理士 青山 稔 (外2名)

Fターム(参考) 5M024 AA40 BB22 BB39 EE05 EE12

EE18 EE23 GG02 GG05 GG06

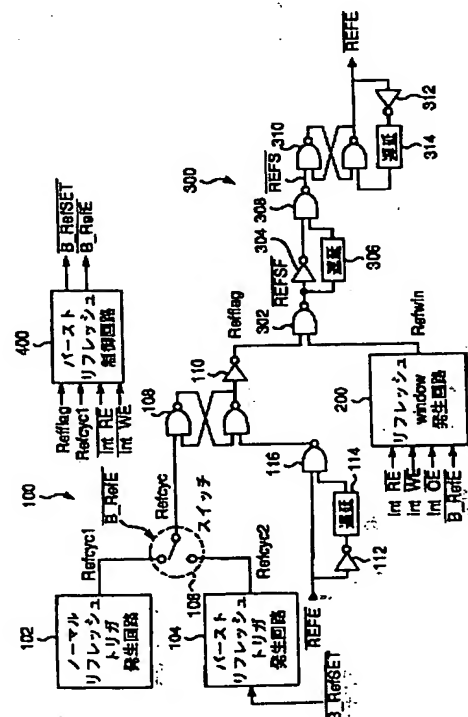
PP01 PP02 PP07

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【課題】 行列状に配置される複数のメモリセルを含むメモリセルアレイを備える半導体記憶装置において、リフレッシュ動作の安定性を確保する。

【解決手段】 複数のメモリセルが保持するデータを、外部から命令されることなくリフレッシュするリフレッシュ制御回路は、第1と第2のリフレッシュサイクルを発生するリフレッシュサイクル発生回路を備え、リフレッシュ実行回路は、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、その長い期間内またはその長い期間の終了時にまとめて、第2リフレッシュサイクル発生回路により発生される第2のリフレッシュサイクルを起点として、連続的にリフレッシュ動作を実施する。



(2)

1

## 【特許請求の範囲】

【請求項1】 データの読出動作および書込動作を実行することが可能な動作状態と、前記データを保持するスタンバイ状態とを有する半導体記憶装置であって、行列状に配置される複数のメモリセルを含むメモリセルアレイと、

前記複数のメモリセルが保持するデータをリフレッシュするリフレッシュ制御回路とを備え、

前記リフレッシュ制御回路は、

第1リフレッシュサイクルを発生する第1リフレッシュサイクル発生回路と、

第1リフレッシュサイクル時間より短い周期の第2リフレッシュサイクルを発生する第2リフレッシュサイクル発生回路と、

第1リフレッシュサイクル発生回路により第1リフレッシュサイクルを発生された後でリフレッシュ動作が可能になるとリフレッシュ動作を実行し、かつ、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、その長い期間内またはその長い期間の終了時に、第2リフレッシュサイクル発生回路により発生される第2リフレッシュサイクルを基にして連続的にリフレッシュ動作を実施するリフレッシュ実行回路とを備えることを特徴とする半導体記憶装置。

【請求項2】 前記のリフレッシュ実行回路は、さらに、第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていないことを検知する検知回路を備えることを特徴とする請求項1に記載された半導体記憶装置。

【請求項3】 前記の検知回路が、リフレッシュ動作が要求されている状態で第1リフレッシュサイクルをカウントするカウンタを備え、カウンタが所定回数以上第1リフレッシュサイクルをカウントした場合、前記の長い期間であると検知することを特徴とする請求項2に記載された半導体記憶装置。

【請求項4】 前記の半導体記憶装置は、外部のアウトプットイネーブル信号またはライトイネーブル信号を受けてメモリセルアレイの内部ロウ系動作が開始される半導体記憶装置であり、

前記のリフレッシュ実行回路は、外部のアウトプットイネーブル信号またはライトイネーブル信号が長い期間活性化状態が続いて、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性化状態になり、内部ロウ系動作が非活性になる期間に、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施することを特徴とする請求項1～請求項3のいずれかに記載された半導体

2

記憶装置。

【請求項5】 前記の第2リフレッシュサイクル発生回路は、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合に、リフレッシュ動作が実施されるときに第2リフレッシュサイクルを発生することを特徴とする請求項1～請求項3のいずれかに記載された半導体記憶装置。

【請求項6】 前記の半導体記憶装置は、外部アドレス変化を受けてメモリセルアレイの内部ロウ系動作が開始される半導体記憶装置であり、

前記のリフレッシュ実行回路は、アドレスが変化しない状態が続く、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性化状態になり、内部ロウ系動作が非活性になる期間に、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施することを特徴とする請求項1～請求項3のいずれかに記載された半導体記憶装置。

【請求項7】 前記のリフレッシュ実行回路は、アドレスが変化しない状態が続く、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性化状態になると、内部ロウ系動作を停止させることを特徴とする請求項6に記載された半導体記憶装置。

【請求項8】 前記のリフレッシュ実行回路は、アドレスが変化しない状態が続く、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号非活性化状態になると、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施し、その回数分終了するとこれを基にロウ系を再活性化することを特徴とする請求項6に記載された半導体記憶装置。

【請求項9】 前記のリフレッシュ実行回路は、第2リフレッシュサイクルを基にしてまとめて実施する前記のリフレッシュ動作を、外部のアウトプットイネーブル信号またはライトイネーブル信号の不活性化の後にて活性化するとともに、外部のアウトプットイネーブル信号またはライトイネーブル信号が、不活性化の後にて所定期間より速く活性化された場合に実施しないことを特徴とする請求項4または請求項6に記載された半導体記憶装置。

(3)

3

【請求項10】 前記の半導体記憶装置は、外部アドレス変化を受けてメモリセルアレイ内部ロウ系動作が開始される半導体記憶装置であり、

前記のリフレッシュ実行回路は、アドレスが長い期間変化しない状態が続いた場合、その状態が認識された後に、次のアドレス変化を基にして、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施することを特徴とする請求項1～請求項3のいずれかに記載された半導体記憶装置。

【請求項11】 前記の半導体記憶装置は、外部アドレス変化を受けてメモリセルアレイの内部ロウ系動作が開始される半導体記憶装置であり、  
前記のリフレッシュ実行回路は、アドレスが変化しない状態が続き、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、ロウ系動作を非活性化させ、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施し、さらにその回数分のリフレッシュ動作を終了すると、ロウ系動作を再活性化することを特徴とする請求項1～請求項3のいずれかに記載された半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、さらに詳しくは、外部からの入力信号に依存せずリフレッシュ動作を行うことが可能な半導体記憶装置に関する。

【0002】

【従来の技術】携帯電話などの携帯端末においては、外部クロックの供給の必要のない非同期の汎用スタティック型半導体記憶装置(以下、SRAMと称する)が広く採用されている。SRAMはリフレッシュ動作が不要であることから、リフレッシュ動作中のメモリへのアクセスをリフレッシュサイクルが終了するまで待つ制御などの複雑な制御が不要である。よってSRAMを用いれば、システム構成の簡略化が可能であり、SRAMは携帯端末での使用に適していた。

【0003】しかし、近年では携帯端末の機能が大幅に向上してきており、携帯端末でも大容量のメモリ機能が必要になってきている。SRAMのメモリセルサイズはダイナミック型半導体記憶装置(以下、DRAMと称する)のメモリセルサイズと比較して10倍程度あることから、SRAMでは、大容量メモリになるとチップの価格が大幅に上昇し、その結果、携帯端末の価格が上昇してしまう。したがってメモリの単位ビット当りのコストが低いDRAMをSRAMの代わりに携帯端末に使用する考えが生まれてきた。

【0004】DRAMは、データの読出および書込を実

4

行することが可能な動作状態と、データを保持するスタンバイ状態とを有し、リフレッシュ動作により記憶状態を維持する必要がある。したがって、DRAMでは、リフレッシュ動作を行うための複雑なメモリ制御が必要である。よって、今までSRAMをメモリとしてシステムを設計してきた携帯端末メーカーにとって、DRAMをSRAMの代替メモリとして採用することは容易ではない。

【0005】このため、メモリ自体はDRAMだが外部的にはSRAMとして動作する新しい半導体記憶装置の開発が各半導体メーカーで盛んに行われ始めた。この新しい半導体記憶装置に関しては、KAZUHIRO SAWADA et al., IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 23, NO. 1, FEBRUARY 1998, p12-19にて報告されている。

【0006】この新しい半導体記憶装置は、内部のメモリセルはDRAMにおけるメモリセルと同じものを使用する。一方、この半導体記憶装置に入力される制御信号、アドレス信号などの外部インターフェースはSRAMとほぼ同じである。また、この半導体記憶装置のリフレッシュ動作は、従来のDRAMのリフレッシュ動作またはセルフリフレッシュ動作のように外部からの信号により制御されるものではなく、半導体記憶装置内部のリフレッシュ回路から周期的に出力されるリフレッシュ活性化信号に基づき行われる。以上に説明した新しい半導体記憶装置は、外部からの入力信号に依存せずリフレッシュ動作を行うことが可能であり、その機能に基づき、完全ヒドウンリフレッシュ機能付DRAMと称する。

(「ヒドウン」は、外部から隠されたとの意味である。) リフレッシュ回路は、リング発振器であるタイマ回路を含み、タイマ回路により周期的に出力されるサイクル信号にตอบสนองしてリフレッシュ活性化信号を出力する。タイマ回路は常時サイクル信号を出力するため、この新しいDRAMは、読出動作または書込動作を実行可能な動作状態のときも、スタンバイ状態のときも周期的にリフレッシュ動作を実行する。この完全ヒドウンリフレッシュ機能付DRAMの開発により、携帯端末の高機能化への対応が可能となっている。

【0007】

【発明が解決しようとする課題】しかし、この完全ヒドウンリフレッシュ機能付DRAMでは、動作状態でもスタンバイ状態でもリフレッシュ動作が実施されることから、リフレッシュ活性化信号と書込または読出動作の要求信号とが同じタイミングで活性化された場合、誤動作を引き起こす。これについて以下に説明する。

【0008】図19は、完全ヒドウンリフレッシュ機能付DRAMで誤動作が起こる場合のタイミングチャートである。チップイネーブル信号/CEは、外部から入力される制御信号である。(以下の説明では、記号の前に付した記号/は負論理信号を表す。) チップイネーブル信

50

(4)

5

号/CEが活性状態の場合は、DRAMが動作状態となり、チップイネーブル信号/CEが非活性状態の場合は、DRAMはスタンバイ状態となる。図19に示したタイミングチャートにおいて、時刻t4まではチップイネーブル信号/CEは非活性状態(Hレベル)であることから、DRAMはスタンバイ状態となっている。スタンバイ状態において、時刻t1、t3ではリフレッシュサイクル信号/Refcycの活性化にตอบสนองしてリフレッシュ活性化信号/REFEが活性化され、リフレッシュ動作が行われる。一方、リフレッシュサイクル信号/Refcycが非活性状態である時刻t2では、リフレッシュ活性化信号/REFEが非活性状態のため、リフレッシュ動作を実施しない。続いて、時刻t4でチップイネーブル信号/CEが活性状態(Lレベル)となった時、DRAMは動作状態となる。よって、時刻t5のように、リフレッシュ活性化信号/REFEが活性化されたときに、外部から書込または読出動作を要求する信号が入力される場合が生じる。このような場合に、DRAMは誤動作を行う。

【0009】このような誤動作の発生を防止するため、従来の完全ヒドウンリフレッシュ機能付DRAMはアービトレーション回路を設置している。アービトレーション回路は、同期信号であるリフレッシュ活性化信号/REFEと外部から入力される書込または読出動作の要求信号とを比較し、その動作順序を調整する回路である。具体的には、リフレッシュ活性化信号/REFEと書込または読出動作の要求信号とが同じタイミングで活性化された場合、アービトレーション回路はより速く活性化した信号の動作を先に実行させ、その後、他方の信号の動作を実行させるように調整する。これによりリフレッシュ活性化信号/REFEと書込または読出動作の要求信号とが同じタイミングで活性化された場合でも、DRAMの誤動作をある程度防止できる。

【0010】しかし、アービトレーション回路がリフレッシュ動作後に書込または読出動作を実施するように調整した場合、アクセス速度が大幅に遅れる確率が高くなる。また、リフレッシュ活性化信号/REFEと書込または読出動作の要求信号とが全く同じタイミングで活性化された場合は、アービトレーション回路で調整できなくなる。

【0011】以上の問題点により、従来の完全ヒドウンリフレッシュ機能付DRAMでは、リフレッシュ動作の安定性を確保することが困難である。

【0012】この発明の目的は、データの読出および書込を実行することが可能な動作状態と、データを保持するスタンバイ状態とを有する半導体記憶装置において、リフレッシュ動作の安定性を確保することである。

【0013】

【課題を解決するための手段】本発明に係る半導体記憶装置は、データの読出動作および書込動作を実行することが可能な動作状態と、前記データを保持するスタンバ

6

イ状態とを有する半導体記憶装置であって、行列状に配置される複数のメモリセルを含むメモリセルアレイと、前記複数のメモリセルが保持するデータを、外部から命令されることなくリフレッシュするリフレッシュ制御回路とを備える。リフレッシュ制御回路は、第1リフレッシュサイクルを発生する第1リフレッシュサイクル発生回路と、第1リフレッシュサイクル時間より短い周期の第2リフレッシュサイクルを発生する第2リフレッシュサイクル発生回路と、リフレッシュ実行回路とを備え、リフレッシュ実行回路は、第1リフレッシュサイクル発生回路により第1リフレッシュサイクルを発生された後でリフレッシュ動作が可能になるとリフレッシュ動作を実行し、かつ、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、その長い期間内またはその長い期間の終了時にまとめて、第2リフレッシュサイクル発生回路により発生される第2リフレッシュサイクルを基にして、連続的にリフレッシュ動作を実施する。

【0014】前記の半導体記憶装置において、好ましくは、前記のリフレッシュ実行回路は、さらに、第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていないことを検知する検知回路を備える。好ましくは、前記の検知回路は、リフレッシュ動作が要求されている状態で第1リフレッシュサイクルをカウントするカウンタを備え、カウンタが所定回数以上第1リフレッシュサイクルをカウントした場合、前記の長い期間であると検知する。

【0015】前記の半導体記憶装置は、たとえば、外部のアウトプットイネーブル信号またはライトイネーブル信号を受けてメモリセルアレイ内部ロウ系動作が開始される半導体記憶装置であり、リフレッシュ実行回路は、外部のアウトプットイネーブル信号またはライトイネーブル信号が長い期間活性状態が続いて、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性状態になり、内部ロウ系動作が非活性になる期間に、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施する。

【0016】前記の半導体記憶装置において、好ましくは、リフレッシュ実行回路は、第2リフレッシュサイクルを基にしてまとめて実施する前記のリフレッシュ動作を、外部のアウトプットイネーブル信号またはライトイネーブル信号の不活性化の後にて活性化するとともに、外部のアウトプットイネーブル信号またはライトイネーブル信号が、不活性化の後所定期間より速く活性化された場合に実施しない。

(5)

7

【0017】前記の第2リフレッシュサイクル発生回路は、たとえば、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合に、リフレッシュ動作が実施されるときにリフレッシュサイクルを発生する。

【0018】前記の半導体記憶装置は、たとえば、外部アドレス変化を受けてメモリセルアレイの内部ロウ系動作が開始される半導体記憶装置であり、リフレッシュ実行回路は、アドレスが変化しない状態が続き、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性状態になり、内部ロウ系動作が非活性になる期間に、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施する。

【0019】前記の半導体記憶装置において、好ましくは、リフレッシュ実行回路は、アドレスが変化しない状態が続き、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性状態になると、内部ロウ系動作を停止させる。

【0020】前記の半導体記憶装置において、好ましくは、リフレッシュ実行回路は、アドレスが変化しない状態が続き、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクルより長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性状態になると、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施し、その回数分終了するとこれを基にロウ系動作を再活性する。

【0021】前記の半導体記憶装置において、好ましくは、リフレッシュ実行回路は、第2リフレッシュサイクルを基にしてまとめて実施する前記のリフレッシュ動作が、外部のアウトプットイネーブル信号またはライトイネーブル信号の不活性化の後に活性化されるとともに、外部のアウトプットイネーブル信号またはライトイネーブル信号が、不活性化の後に所定期間より速く活性化された場合に前記のリフレッシュ動作を実施しない。

【0022】前記の半導体記憶装置は、たとえば、外部アドレス変化を受けてメモリセルアレイの内部ロウ系動作が開始される半導体記憶装置であり、リフレッシュ実行回路は、アドレスが長い期間変化しない状態が続いた場合、その状態が認識された後に、次のアドレス変化を基にして、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュ

8

サイクルを基にしてリフレッシュ動作を実施する。

【0023】前記の半導体記憶装置は、外部アドレス変化を受けてメモリセルアレイの内部ロウ系動作が開始される半導体記憶装置であり、リフレッシュ実行回路は、第2リフレッシュサイクルを基にしてまとめて実施する前記のリフレッシュ動作を、外部のアウトプットイネーブル信号またはライトイネーブル信号の不活性化の後に活性化するとともに、外部のアウトプットイネーブル信号またはライトイネーブル信号が、不活性化の後に所定期間より速く活性化された場合に実施しない。

【0024】前記の半導体記憶装置は、外部アドレス変化を受けてメモリセルアレイの内部ロウ系動作が開始される半導体記憶装置であり、リフレッシュ実行回路は、アドレスが変化しない状態が続き、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、ロウ系動作を非活性化させ、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施し、さらにその回数分のリフレッシュ動作を終了すると、ロウ系動作を再活性する。なお、この発明の以上に説明した構成要素は、可能な限り組み合わせることができる。

【0025】

【発明の実施の形態】以下、添付の図面を参照して本発明の実施の形態を説明する。なお、図面において、同じ参照記号は同一または同等のものを示す。データの読出および書込を実行することが可能な動作状態と、データを保持するスタンバイ状態とを有する半導体記憶装置において、行列状に配置される複数のメモリセルを含むメモリセルアレイに対して、動作状態では、データの書き込みと読み出しが行われる。メモリセルはDRAMにおけるメモリセルと同じものであり、メモリセルに対してリフレッシュ動作が必要である。半導体装置の内部では、リフレッシュ信号を発生するための周期を表すクロックサイクルが発生されていて、このクロックサイクルにより内部リフレッシュサイクル時間が規定される。メモリセル内のデータは、内部リフレッシュサイクル時間内に1回リフレッシュ動作を行うことにより保持される。この半導体記憶装置は、外部からの入力信号に依存せずリフレッシュ動作を行う。

【0026】外部からの入力信号に依存せずリフレッシュ動作を行うことが可能な半導体記憶装置において、リフレッシュ動作の安定性を確保するため、本発明者は、すでに、半導体記憶装置の状態に応じて、リフレッシュ動作を実行することを提案している。半導体記憶装置の状態とは、スタンバイ状態のときのほか、読出動作または書込動作を終了した後などである。しかし、この半導体記憶装置には、内部リフレッシュサイクル時間（たとえば数10  $\mu$  sec）を越えた長い期間（ロングサイク

50

(6)

9

ル)で記憶装置を動作させることができないという問題がある。図1は、読出動作または書込動作の実施の後でリフレッシュ動作を実施する半導体記憶装置の場合に、チップがイネーブルであるときに ( $/CE="L"$ )、ロングサイクルでリフレッシュ動作が行われない状況の1例を示す。この例では、読出または書込状態が、内部リフレッシュサイクル時間 $t_{ref}$ より長い期間において続いていて、その間、リフレッシュ動作が行われない。その後、リフレッシュ期間信号 $Refwin="H"$ の立ち上がりでリフレッシュ動作が行われるが、読出動作または書込動作が長い間実施されていないため、データが破壊されてしまう。同様に、アドレスの変化に応じてメモリセルアレイ26のロウ (Row) 系を制御するアドレストリガ方式の構成の半導体記憶装置でも、 $/CE="L"$ の時にアドレスが長い間変化しないと、リフレッシュ動作を活性化する起点が存在しないためデータが破壊されてしまう。したがって、外部仕様として、 $/CE="H"$ の期間には制限が存在しないが、 $/CE="L"$ の期間中には内部リフレッシュサイクル時間内に必ず読出動作または書込動作、または、アドレス変化を実施するという制限が必要となる。

【0027】そこで、本発明では、外部からの入力信号に依存せずリフレッシュ動作を行うことが可能な半導体記憶装置において、内部リフレッシュサイクル時間より長いロングサイクルでもデータを破壊することなく動作を可能にする。リフレッシュ制御回路は、通常の (第1) リフレッシュサイクルを発生する回路と、それより速い周期の (第2) リフレッシュサイクルを発生する回路を備える。ロングサイクルでない場合 (高速アクセスが必要な場合) は第1 リフレッシュサイクルを基にしてリフレッシュ動作を実行する。一方、リフレッシュ制御回路は、内部リフレッシュサイクル時間を越えたロングサイクルがきた場合、必要期間 (ロングサイクル内または終了時) において自動的に、第2 リフレッシュサイクルを基にして、内部リフレッシュサイクルがスキップされた回数だけまとめて、リフレッシュ動作を連続的に実行する。 (以下では、これをバーストリフレッシュという。) このように、半導体記憶装置は、外部信号に依存せずリフレッシュ動作を制御できる。したがって、外部仕様の制限を設けなくてもよい。なお、ロングサイクルの認識は、以下に説明する実施の実施の形態では自動的に行うが、半導体記憶装置の外部でロングサイクルを認識して、その結果を半導体装置に知らせてもよい。この場合、半導体記憶装置は、それに対応してリフレッシュ制御を実行する。

【0028】実施の形態1。図2は、発明の実施の形態1における外部リフレッシュ制御が不要な半導体記憶装置 (DRAM) の全体構成を示す。この半導体記憶装置において、メモリセルアレイ26は、行列状に配置された複数のDRAMセルからなる。外部ピン10~16と

10

して、SRAMと同じ制御ピンを備える。DRAMには、制御信号であるチップイネーブル信号/ $CE$ とアウトプットイネーブル信号/ $OE$ とライトイネーブル信号/ $WE$ と制御信号/ $LB$ 、/ $UB$ とを受ける入力端子群10と、下位データ信号 $DQ_0-DQ_7$ が入出力される端子群11と、上位データ信号 $DQ_8-DQ_{15}$ が入出力される端子群12と、列アドレス信号 $A_0-A_m$  ( $m$ は1以上の自然数である)が入力される端子群15と、アドレス信号 $A_{m+1}-A_n$  ( $n$ は1以上の自然数である)が入力される端子群16と、電源電圧 $V_{CC}$ が与えられる電源端子13と、接地電圧 $GND$ が与えられる接地端子14が設けられる。アドレスは、通常のDRAMとちがひ、時分割方式ではない。リフレッシュ動作は、読出動作または書込動作の実施の後で実施する。さらに、外部からの制御なしにリフレッシュ動作を制御するリフレッシュ制御回路40を備え、リフレッシュ制御回路40の出力するリフレッシュ活性化信号/ $REFE$ を基にしてリフレッシュ動作を実施する。これにより、外部からのリフレッシュ制御は不要となる。

【0029】DRAMにおいて、制御回路20は、端子群11から入力される制御信号にตอบสนองして、書込動作モードや読出動作モードといったDRAMの所定の動作モードに相当する制御クロックを各ブロックに対して出力する。制御信号について説明すると、チップイネーブル信号/ $CE$ は、DRAMを動作状態とする信号である。アウトプットイネーブル信号/ $OE$ は、DRAMを読出動作モードに設定するとともに出力バッファを活性化させる信号である。ライトイネーブル信号/ $WE$ は、DRAMを書込動作モードに設定する信号である。制御信号/ $LB$ は、下位ビット側のデータ端子群11からデータの入出力を行うことを選択する信号であり、制御信号/ $UB$ は、上位ビット側のデータ端子群12からデータの入出力を行うことを選択する信号である。なお、制御回路20の構成は、リフレッシュ制御以外は従来のDRAMと同様である。

【0030】列 (コラム) アドレスバッファ21は、制御回路20の出力に応じてアドレス信号 $A_0-A_m$ を受けて内部に伝達する。行 (ロウ) アドレスバッファ22は、制御回路20の出力に応じてアドレス信号 $A_{m+1}-A_n$ を受けて内部に伝達する。列デコーダ23は、列アドレスバッファ21が出力する内部アドレス信号を制御回路20の出力に応じて受け、列アドレスの指定を行う。行デコーダ24は、行アドレスバッファ22が出力する内部アドレス信号を制御回路20の出力に応じて受け、行アドレスの指定を行う。メモリセルアレイ26は、行列状に配置される複数のメモリセルからなる。センスアンプと入出力制御回路25は、メモリセルアレイ26への書込動作を行い、また、メモリセルアレイ26からの出力を増幅し、読出動作を行う。

【0031】さらに、下位入力バッファ27は、制御回



(7)

11

路20の出力に応じて端子群11からデータ信号DQ0-DQ7を受けて、センスアンプおよび入出力制御回路25に伝達する。下位出力バッファ28は、制御回路20の出力に応じてセンスアンプおよび入出力制御回路25からの信号を受けて端子群11にデータ信号を出力する。上位入力バッファ29は、制御回路20の出力に応じて端子群12からデータ信号DQ8-DQ15を受けて、センスアンプおよび入出力制御回路25に伝達する。上位出力バッファ30は、制御回路20の出力に応じてセンスアンプおよび入出力制御回路25からの信号を受けて端子群12にデータ信号を出力する。

【0032】リフレッシュ制御回路40は、外部からのリフレッシュ制御なしにリフレッシュ動作を制御する。リフレッシュ制御回路40が、周期的に活性化される信号であるリフレッシュ活性化信号/REFEを制御回路20へ出力すると、制御回路20は、リフレッシュ活性化信号/REFEを受け、リフレッシュ動作を実施するために各ブロックへ動作指示信号を出力する。以下に、リフレッシュ制御回路40について詳しく説明する。

【0033】図3は、リフレッシュ制御回路40の構成を示す。リフレッシュ制御回路40において、リフレッシュフラグ発生回路100は、チップ内部がリフレッシュ動作を要求しているかを示す信号(リフレッシュフラグRefflag)を発生する。(リフレッシュフラグRefflagが“H”の時はリフレッシュ要求ありを意味する。)リフレッシュ期間発生回路200は、リフレッシュ動作が可能である期間(Window)を示すリフレッシュ期間信号Refwinを発生する。リフレッシュ活性化信号/REFEを発生する回路300は、リフレッシュフラグRefflagとリフレッシュ期間信号Refwinの2つの信号よりリフレッシュ活性化を制御するリフレッシュ活性化信号(/REFE)を発生する。バーストリフレッシュ制御回路400は、ロングサイクルと認識しリフレッシュ動作を複数回まとめて連続的に実行するバーストリフレッシュを制御する制御回路であり、バーストリフレッシュ活性化信号B\_RefEを発生する。

【0034】リフレッシュフラグ発生回路100は、通常時に所定の周期でリフレッシュサイクル(信号名: Refcyc1)を出力するリング発振器を基本構成としたノーマルリフレッシュトリガ発生回路102と、所定期間に複数回の連続的なリフレッシュ動作(バーストリフレッシュ)を実施する時のリフレッシュサイクル(信号名: Refcyc2)を発生するバーストリフレッシュトリガ発生回路104を備える。リフレッシュサイクルRefcyc1は通常のDRAMにおけるリフレッシュサイクル(内部リフレッシュサイクル時間)に対応する。バーストリフレッシュトリガ発生回路104は、図4に示すような構成を備え、通常のリフレッシュタイマの周期に比べ短い周期でまわるリング発振器となっている。また、バーストリフレッシュ(B\_RefSET=“H”)以外のモードの時にこの

12

リング発振器を発振させないための制御機能が付加されていて、低消費化を図っている。スイッチ106は、2つのリフレッシュトリガ回路102、104のどちらから出力される周期を選択する。どちらの周期を選択するかは、バーストリフレッシュ制御回路400から発生するバーストリフレッシュ活性化信号/B\_RefEで制御される。/B\_RefEが活性化されると第2のリフレッシュトリガ回路104の周期が選択される。スイッチ106により選択されたリフレッシュサイクル信号Refcycを基に、フリップフロップ108とインバータ110を介してリフレッシュフラグRefflagを発生する。また、リフレッシュ動作が終了すればリフレッシュフラグRefflagを非活性とする。このため、リフレッシュ活性化信号/REFEが出されなくなると、所定時間だけ遅れてリフレッシュフラグの発生を停止する。すなわち、リフレッシュ活性化信号/REFE信号自体と、/REFE信号をインバータ112と遅延回路114を通した信号とをNANDゲート116に入力し、その出力でフリップフロップ108をリセットする。

【0035】リフレッシュ動作の起点は、リフレッシュサイクル信号RefcycからセットされたリフレッシュフラグRefflagと、リフレッシュ動作が可能である期間を示すリフレッシュ期間信号Refwinがともに活性化した時である。リフレッシュ活性化信号/REFEを発生する回路300において、リフレッシュフラグ発生回路100によりRefcycからセットされたフラグRefflagと、リフレッシュ期間発生回路300から発生されたRefwinとは、ともにNANDゲート302に入力され、その出力信号は、直接インバータ304を介して、また遅延回路306を経てNANDゲート308に入力されて、リフレッシュスタート信号/REFSを出力する。この信号はフリップフロップ310を経て、リフレッシュ活性化信号/REFEとして出力される。リフレッシュ活性化信号/REFEの出力に応じてリフレッシュ動作が実施される。リフレッシュ活性化信号/REFEは、インバータ312により反転され、リフレッシュ動作期間分、遅延回路314により遅延された後、フリップフロップ310に入力され、所定時間後にリセットされる。

【0036】なお、図5は、制御回路20において、内部ライトイネーブル信号であるint/RE(または内部ライトイネーブル信号であるint/WE、内部アウトプットイネーブル信号であるint/OE信号)を発生する回路を示す。外部からのチップイネーブル信号CD#とライトイネーブル信号RE#(または、ライトイネーブル信号WE#またはアウトプットイネーブル信号/OE#)がいずれも“L”レベルであるときに、インバータを介して反転された信号がNANDゲートに入力され、int/RE(またはint/WE、int/OE)信号を発生する。制御回路20は、int/RE、int/WE、int/OE信号をリフレッシュ制御回路40に送る。

【0037】図6は、バーストリフレッシュ制御回路40

(8)

13

00の構成を示す。バーストリフレッシュ制御回路400は、大きく分けてロングサイクルを自動検知しバーストリフレッシュをセットする回路と、バーストリフレッシュが終了したことを検知するバーストリフレッシュ停止回路から構成される。前者のロングサイクルの自動検知は、図7のタイムチャートを用いて説明すると、下記に示す原理で実現される。先に説明したように、リフレッシュ動作の起点は、リフレッシュサイクルRefcycからセットされたリフレッシュフラグRefflagと、リフレッシュ動作が可能である期間を示すリフレッシュ期間信号Refwinがともに活性化した時であり、リフレッシュ動作が終了すればRefflagを非活性とする。ロングサイクルは、通常のリフレッシュサイクルより長い周期の書込状態などがきた場合なので、通常のリフレッシュサイクルRefcyc1が2回以上カウントされるとロングサイクルであると認識できる。そこで、Refflagが活性化しているときに(Refflag="H")、ANDゲート402によりRefcyc1の反転信号を出力し、カウンタ404によりカウントする。カウンタ404が2回以上カウントすると、ロングサイクルであると認識できるので、その段階でフリップフロップ406をセットし、バーストリフレッシュセット信号/B\_RefSETを出力する。そして、内部信号int/REまたはint/WEが出力されていないという信号がNORゲート408から出されたときに(ロングサイクル内であって読出または書込の状態でないときに)、ORゲート410を介して、バーストリフレッシュ活性化信号B\_RefEとして出力する。これにより、リフレッシュ期間信号Refwinが活性化され、バーストリフレッシュが行われる。一方、バーストリフレッシュ停止回路420は、通常のリフレッシュ動作をスキップした分リフレッシュ動作が行われると、バーストリフレッシュが終了したと検知して、フリップフロップ406にリセット信号を出力する。

【0038】図8に示すように、バーストリフレッシュが終了したことを検知するバーストリフレッシュ停止回路420は、Refflag活性時(Refflag="H")に通常のリフレッシュサイクル(Refcyc1)の回数をカウントするカウンタ422と、バーストリフレッシュを開始したとき、速いリフレッシュサイクルRefcyc2を基にリフレッシュ動作の回数をカウントするカウンタ424と備え、EXORゲート426は、この2つのカウント数が一致したときに、ワンショットパルス回路428を起動して、バーストリフレッシュを停止する停止信号/B\_RefSTOPを発生する。これにより、通常のリフレッシュをスキップした分(カウンタ422のカウント値)、ロングサイクル内(/OEまたはWEが活性でないとき)またはロングサイクル終了時に、まとめてリフレッシュ動作を実施できる。

【0039】図9は、リフレッシュ期間発生回路200の構成を示す。int/CE="H"の時には、ORゲート20

14

2を介してリフレッシュ期間信号Refwinを常時活性する。また、int/CE="L"の時は、バーストリフレッシュ期間(/B\_RefE="L")はORゲート202を介してリフレッシュ期間信号Refwinを活性化する。また、int/REとint/WEがどちらも活性でないとき(ANDゲート204の出力="H")、ANDゲート206を介して、遅延回路208による所定の遅延時間、ORゲート202を介してリフレッシュ期間信号Refwinを活性化する。このように、リフレッシュ期間信号Refwinは、ロングサイクル内またはその終了時に活性化される。これにより、バーストリフレッシュが活性化される。

【0040】上に説明した回路構成の半導体記憶装置の動作を説明する。まず、図10を用いて、通常サイクル(通常のリフレッシュサイクルより短いサイクル)でリフレッシュ動作を行う場合のリフレッシュ制御回路40の動作を説明する。ノーマルリフレッシュトリガ発生回路102から所定の周期でリフレッシュサイクル信号Refcyc1が出力され、これを基にリフレッシュフラグ発生回路100によりリフレッシュ要求信号Refflagが活性化する。また、リフレッシュ期間発生回路200は、リフレッシュフラグが活性化しているかどうかを確認する期間を示すリフレッシュ期間信号Refwinを、外部信号から読出または書込動作の終了後に活性化する。このRefwin信号とRefflag信号が共に活性化するタイミングを基に、リフレッシュ制御回路300は、リフレッシュスタート信号/RefSを発生し、これをもとにリフレッシュ活性化信号/REFEを発生する。ここで、ロングサイクルとは認識されないため、バーストリフレッシュ活性化信号B\_RefEが活性することがないため、Refcyc2も発生することなく、従来どおりの動作が実施される。

【0041】次に、図11を用いて、ロングサイクル(通常のリフレッシュサイクルより長いサイクル)で読出または書込サイクルが実施された場合(/CE="H"で/OEまたはWEでロウ系が制御される場合)について説明する。/OEまたはWEが長時間"L"で固定となった場合、リフレッシュ期間信号Refwinが活性化することがないため、バーストリフレッシュ制御回路400において、Refflagが活性化した状態でRefcycが2回以上まわることが検出され、ロングサイクルが認識されると、これによりバーストリフレッシュセット信号/R\_RefSETが活性化される。しかし、この段階ではバーストリフレッシュは実施されず、/OEまたはWEが"H"となった段階でバーストリフレッシュ活性化信号/B\_RefEが活性し、バーストリフレッシュを開始する。またRefflagが"H"の時のRefcyc1の回数をカウントし、/OEまたはWEが"H"となった(読出または書込が行われなくなった)段階でカウントを停止する。バーストリフレッシュ活性化信号/B\_RefEが活性化すると、リフレッシュの周期がRefcyc1からRefcyc2に変更され、この時にリフレッシュ期間信号Refwinも活性化され、このRefcyc2(通常のリフレッシュよりか



(9)

15

なり短い周期)に同期して短い時間で、/OEまたは/WEが“H”の期間でスキップしたリフレッシュ動作回数をまとめてリフレッシュ動作を実施する。/OEまたは/WEが“H”の期間に実施しているため、その後/OEまたは/WEが“L”となれば通常の読出又は書込動作となり、アクセスを遅らせることなく、次サイクルに移行できる。これにより、内部リフレッシュサイクル時間Refcyc 1を越えたロングサイクルで動作させることができないという問題は解決される。

【0042】実施の形態2、実施の形態1では、外部の/OEまたは/WEのトリガでメモリセルアレイ26のロウ系が制御される半導体記憶装置において、ロングサイクル内の/OEまたは/WEが“H”の期間に、または、ロングサイクルの終了後に、バーストリフレッシュを実施する。この動作は、半導体記憶装置内のロウ系が非活性である時にバーストリフレッシュ動作を実施することと等価であり、/OEまたは/WEのトリガの代わりに、半導体記憶装置内部が非活性時を示す信号であってもいっこうにかまわれない。実施の形態2では、アドレスの変化に応じてメモリセルアレイ26のロウ系が制御されるアドレストリガ方式の構成の半導体記憶装置において、ロングサイクルでのバーストリフレッシュを実現する。

【0043】アドレストリガでロウ系が制御される場合は、アドレスADDの変化を検知して発生される/ATD信号の立ち下がりでロウ系のリセット信号が発生し、前サイクルのロウ系をリセットし、/ATD信号の立ち上がりでロウ系のセット信号を発生し、この時のアドレスに対してロウ系を活性化する。この2つの関係で発生した信号が内部RAS信号int/RASであり、int/RASが“L”の期間でロウ系が活性化しており、“H”の期間で非活性である。なお、図12は、制御回路20における内部RAS信号int/RASの発生を示す。アドレス信号が変わるときに発生される/ATD信号の立ち上がりで、int/RAS信号を発生する。制御回路20は、int/RAS信号をリフレッシュ制御回路40に送る。リフレッシュ制御回路40の構成は、バーストリフレッシュ期間発生回路200を除いて、基本的に実施の形態1のリフレッシュ制御回路(図3)と同じである。リフレッシュ期間発生回路200では、図9の回路とは異なり、NANDゲート204の出力の代わりにint/RAS信号が入力される。int/RAS信号の立上りにより、所定時間リフレッシュフラグRefflagが活性化される。

【0044】このアドレストリガ方式におけるリフレッシュ期間信号Refwinの活性化方法では、/CE=“H”の時はリフレッシュ期間信号Refwinは活性したままで、リフレッシュサイクルRefcycに同期してリフレッシュフラグRefflagが活性化されると、これを基にリフレッシュ活性化信号/REFEを即座に活性化し、リフレッシュ動作を実施する。また、図13のタイミングチャートに示すように、/CE=“L”の時は、int/RASの立ち上がりの短い期間

16

にリフレッシュ期間信号Refwinを活性化し、この時にRefflagが活性化されていればリフレッシュ動作を実施する。

【0045】アドレストリガ方式の場合でも、/CE=“L”の時にアドレスが長い間変化しない場合にもリフレッシュ動作を可能とするため、実施の形態1と同様に、バーストリフレッシュ制御回路400により、/CE=“L”の期間にアドレス変化が内部リフレッシュサイクル以上やって来ないことを自動検知し、/OEまたは/WEが“H”の期間にバーストリフレッシュを実施する。しかし、アドレストリガでロウ系が制御される場合、/OEまたは/WE信号はロウ制御に関与していない。これによりアドレスが変化してからロウ系が非活性(int/RAS=“H”)となる期間まで待つてバーストリフレッシュを実施すると、既にアドレス変化前に/OEまたは/WEの立ち上がりがある場合、アドレス変化からのアクセスが遅れてしまう。

【0046】これを解決するために、図14のタイミングチャートに示すように、ロングサイクルのためバーストリフレッシュが必要と認識すると(バーストリフレッシュ活性化信号/B\_RefEが活性化されると)、リフレッシュ制御回路40は、ロングサイクル内であっても、アドレス変化とは関係なしに、/OEまたは/WE信号の立ち上がりでこのアドレスに対するロウ系動作をリセットし、その後バーストリフレッシュを開始する(バーストリフレッシュ活性化信号/B\_RefE=“L”)。これにより、アドレス変化前に/OEまたは/WEの立ち上がりがある場合、アドレス変化からの高速化が図れる。さらに、アドレスの変化とは関係なしにロウ系動作を非活性としたため、バーストリフレッシュ終了後にアドレス変化がなければ、ロウ系は動作していない。従ってアドレスが変化せずに通常の/OEまたは/WEが続いてロウ系を活性化していないため、メモリセルアレイ26にアクセスできない。そこで、バーストリフレッシュ終了後に、自動的にロウ系を活性化させる。この手法をとることにより次サイクルの高速アクセスが実現できる。

【0047】実施の形態3、アドレストリガ方式の構成のDRAMに対する実施の形態2では、外部の/OEまたは/WEが“H”となるときにロングサイクルであれば、バーストリフレッシュを行う。ここで、/OEまたは/WEの“H”の期間はロングサイクル期間にスキップしたリフレッシュ回数だけバーストリフレッシュを実施しなければならず、ある程度の時間が必要となる。ロングサイクルが永遠に続く場合は、バーストリフレッシュをロングサイクルごとに実施しなければならない。しかし、突発的なロングサイクルならば、バーストリフレッシュを実施しなくてもデータ破壊は起こらない。

【0048】そこで、実施の形態3では、図15のタイミングチャートに示すように、単発のロングサイクルに対しては、/OEまたは/WEの“H”の期間が短く設定され

(10)

17

ば、バーストリフレッシュが必要と認識されても(バーストリフレッシュセット信号/B\_RefSETが活性化されても)、バーストリフレッシュをしないようにする。すなわち、ロングサイクルとの認識の後で、外部の/OEまたは/WEが所定期間より短い期間で“H”(非活性)となる場合、バーストリフレッシュを実施しない。図15では、ロングサイクルであると認識されたときにバーストリフレッシュセット信号/B\_RefSETが活性化されるが、その後、/OEまたは/WEの“H”の期間が所定期間より短いので、/OEまたは/WEの立下りで、バーストリフレッシュセット信号/B\_RefSETが非活性化される。こうすると、1回でもバーストリフレッシュ動作が開始すると、バーストリフレッシュが終了するまでリード/ライト動作ができないため大きなアクセス遅延が発生するという問題を回避でき、データ破壊をすることなくロングサイクル後の高速アクセスが実現できる。

【0049】ここで、リフレッシュ制御回路40の構成は、バーストリフレッシュ制御回路400を除いて、基本的に実施の形態1のリフレッシュ制御回路(図3)と同じである。バーストリフレッシュ制御回路400では、図6の回路とは異なり、フリップフロップ406から出力される出力信号は、/OEまたは/WEの“H”の期間を所定期間と比較して短い場合にORゲート410に信号/B\_RefSETを送る。このため、/OEまたは/WEの“H”の期間をクロック信号でカウントするカウンタを設け、コンパレータにより、カウンタのカウント値を、前記の所定期間に対応するしきい値と比較する。カウント値が所定期間より短ければ、ORゲート410にバーストリフレッシュ活性化信号/B\_REFを出力させない。

【0050】実施の形態4. /OEが“H”となると、ロングサイクルであれば、バーストリフレッシュを実施するが、逆に/OEの“H”の期間の外部タイミングの制限が必要となる。そこで、実施の形態4では、図16のタイミングチャートに示すように、/OEが“L”の状態ではバーストリフレッシュが必要と認識すると(バーストリフレッシュセット信号/B\_RefSETが活性化されると)、/OEとは無関係に次サイクルのアドレス変化を基に、ロウ系がリセットされると(int/RASが立ち上がると)、これを基にしてバーストリフレッシュ活性化信号/B\_RefEを活性化して、バーストリフレッシュを開始する。バーストリフレッシュにおいて、ロングサイクルによってスキップした回数分リフレッシュ動作が完了したら、int/RASを立ち上げて、次サイクルに対するロウ系を活性化する。バーストリフレッシュに入るタイミングをアドレスの変化に同期することにより、ロングサイクル後の/OE=“H”の期間という制限が不要になり、外部タイミングの自由度があがる。なお、この制御は、メモリアルレイ26のロウ系が外部の/OEまたは/WEのトリガで制御される半導体記憶装置においても、アドレスの変化に応じて制御されるアドレストリガ方式の構成の半導体記憶装置におい

18

ても、適用できる。

【0051】リフレッシュ制御回路40の構成は、バーストリフレッシュ制御回路400を除いて、基本的に実施の形態1のリフレッシュ制御回路(図3)と同じである。バーストリフレッシュ制御回路400では、図6の回路とは異なり、バーストリフレッシュセット信号/B\_RefSET(フリップフロップ406の出力)が活性化され、かつ、int/RASが立ち上がると、信号をORゲート410に送り、バーストリフレッシュ活性化信号/B\_RefEを活性化する。たとえば、/B\_RefSETとint/RAS信号をNORゲートに入力し、その出力をORゲート410に送る。

【0052】実施の形態5. 実施の形態4では、アドレス変化が長い期間変化しない状態が続いてロングサイクルと認識した後、内部ロウ系の非活性化よりバーストリフレッシュを実施していた。しかし、こうするとバーストリフレッシュが次サイクルより実施されるため、次サイクルのアクセス遅延が生じてしまう。これを解決するため、実施の形態5では、ロングサイクルと認識すると、アドレス変化を待たずに、これを基にして、自動的にロウ系を非活性化し、リフレッシュ期間信号Refwinを活性化する。この場合、通常のリフレッシュサイクルの周期trefで問題がない。従って、リフレッシュ期間信号Refwinが活性化されるため、Refcycに同期して通常のリフレッシュ動作が実施される(図17参照)。通常のリフレッシュ動作をスキップした分まとめてリフレッシュ動作を実施し、その回数分のリフレッシュ動作が終了すると、これを基にロウ系を再び活性化する。この制御により、ロングサイクル時に、/OEの立ち上がり同期せず、ロングサイクル後の/OE=“H”の期間の制限が不要になり、外部タイミングの自由度があがる。

【0053】図18は、図17に示した制御を実現するリフレッシュ制御回路40の構成を示す。リフレッシュ制御回路40において、リフレッシュフラグ発生回路100は、チップ内部がリフレッシュ動作を要求しているかを示す信号(リフレッシュフラグRefflag)を発生する。(リフレッシュフラグRefflagが“H”の時はリフレッシュ要求ありを意味する。)リフレッシュ期間発生回路200は、リフレッシュ動作が可能な期間を示すリフレッシュ期間信号Refwinを発生する。リフレッシュ活性化信号/REFEを発生する回路300は、リフレッシュフラグRefflagとリフレッシュ期間信号Refwinの2つの信号よりリフレッシュ活性化を制御する信号(/REFE)を発生する。バーストリフレッシュ制御回路400は、リフレッシュ動作を複数回まとめて実行するバーストリフレッシュを制御する制御回路である。

【0054】リフレッシュフラグ発生回路100は、通常時所定の周期でリフレッシュサイクル(信号名: Refcyc1)を出力するリング発振器を基本構成としたノーマル

(11)

19

リフレッシュトリガ発生回路102を備える。リフレッシュサイクル信号Refcyc1を基に、フリップフロップ108とインバータ110を介してリフレッシュフラグRefflagを発生する。また、リフレッシュ動作が終了すればリフレッシュフラグRefflagを非活性とする。このため、リフレッシュ活性化信号/REFEが出されなくなると、所定時間だけ遅れてリフレッシュフラグの発生を停止する。すなわち、リフレッシュ活性化信号/REFE信号自体と、/REFE信号をインバータ112と遅延回路114を通した信号とをNANDゲート116に入力し、その出力でフリップフロップ108をリセットする。

【0055】リフレッシュ期間発生回路200では、int/CE="H"の時には、ORゲート202を介してリフレッシュ期間信号Refwinを常時活性する。また、int/CE="L"の時は、バーストリフレッシュ期間(/B\_RefE="L")はORゲート202を介してリフレッシュ期間信号Refwinを活性化する。また、int/RASが活性でなくとき、ANDゲート206を介して、遅延回路208による所定の遅延時間、ORゲート202を介してリフレッシュ期間信号Refwinを活性する。これにより、速いリフレッシュサイクルRefcyc2に同期してバーストリフレッシュが実施される。

【0056】リフレッシュ動作の起点は、RefcycからセットされたリフレッシュフラグRefflagとリフレッシュ期間信号Refwinがともに活性化した時である。リフレッシュ活性化信号/REFEを発生する回路300において、リフレッシュフラグ発生回路100によりRefcycからセットされたフラグRefflagと、リフレッシュ期間発生回路200から発生されたRefwinとは、ともにNANDゲート302に入力され、その出力信号は、直接インバータ304を介して、また遅延回路306を経てNANDゲート308に入力されて、リフレッシュスタート信号/REFSを出力する。この信号はフリップフロップ310を経て、リフレッシュ活性化信号/REFEとして出力される。リフレッシュ活性化信号/REFEの出力に応じてリフレッシュ動作が実施される。リフレッシュ活性化信号/REFEは、インバータ312により反転され、リフレッシュ動作期間分、遅延回路314により遅延された後、フリップフロップ310に入力され、所定時間後にリセットされる。

【0057】バーストリフレッシュ制御回路400では、ロングサイクルを自動検知しバーストリフレッシュをセットする。ロングサイクルの自動検知のため、Refflagが活性化しているときに(Refflag="H")、ANDゲート402によりRefcyc1の反転信号を出力し、カウンタ404によりカウントする。カウンタ404が2回以上カウントすると、ロングサイクルであると検知されるので、フリップフロップ406をセットし、ロングサイクル信号/LONGCYCLEを出力する。そして、これにより、リフレッシュ期間信号Refwinが活性化され、バーストリ

20

フレッシュが行われる。一方、/ATD信号でフリップフロップ406をリセットする。

【0058】

【発明の効果】本発明に係る半導体記憶装置において、リフレッシュ実行回路は、第1リフレッシュサイクル発生回路により第1のリフレッシュサイクルを発生させた後でリフレッシュ動作が可能になるとリフレッシュ動作を実行し、かつ、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクルより長い期間リフレッシュ動作をしていない場合、その長い期間(ロングサイクル)内またはその長い期間の終了時にまとめて、第2リフレッシュサイクル発生回路により発生される第2のリフレッシュサイクルを基にして、連続的にリフレッシュ動作を実施する。したがって、ロングサイクルでない場合(高速アクセスが必要な場合)は高速サイクルで、ロングサイクルでは必要期間に自動的にリフレッシュ動作を実行し、また、第1リフレッシュサイクル時間以上のロングサイクルでもデータを破壊することなく安定に動作可能となる。

【0059】前記の半導体記憶装置において、好ましくは、前記のリフレッシュ実行回路は、さらに、第1リフレッシュサイクルより長い期間リフレッシュ動作をしていないことを検知する検知回路を備える。これにより、長い期間が自動認識できる。また、好ましくは、前記の検知回路は、リフレッシュ動作が要求されている状態で第1リフレッシュサイクルをカウントするカウンタを備え、カウンタが所定回数以上第1リフレッシュサイクルをカウントした場合、前記の長い期間であると検知する。簡単な構成で長い期間を自動認識できる。

【0060】外部のアウトプットイネーブル信号またはライトイネーブル信号を受けてメモリセルアレイ内部ロウ系動作が開始される半導体記憶装置において、たとえば、リフレッシュ実行回路は、外部のアウトプットイネーブル信号またはライトイネーブル信号が長い期間活性状態が続いて、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクルより長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性状態になり、内部ロウ系動作が非活性になる期間に、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてバーストリフレッシュを実施する。これにより、外部のアウトプットイネーブル信号またはライトイネーブル信号を受けて内部ロウ系動作が開始される半導体記憶装置において、バーストリフレッシュが実行できる。

【0061】第2リフレッシュサイクル発生回路は、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合に、リフレッシュ動作が実施されるときにリフレッシュサイクルを発生する。これにより、

(12)

21

第2リフレッシュ発生回路は必要な場合にのみ作動される。

【0062】アドレストリガー型の半導体記憶装置において、たとえば、リフレッシュ実行回路は、アドレスが変化しない状態が続き、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクル時間より長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性状態になり、内部ロウ系動作が非活性になる期間に、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてバーストリフレッシュを実施する。これにより、外部のアドレス変化を受けて内部ロウ系動作が開始される。これにより半導体記憶装置において、バーストリフレッシュが実行できる。

【0063】前記の半導体記憶装置において、好ましくは、リフレッシュ実行回路は、アドレスが変化しない状態が続き、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクルより長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性状態になると、内部ロウ系動作を停止させる。これにより、バーストリフレッシュを早く実行できる。

【0064】前記の半導体記憶装置において、好ましくは、リフレッシュ実行回路は、アドレスが変化しない状態が続き、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクルより長い期間リフレッシュ動作をしていない場合、外部のアウトプットイネーブル信号またはライトイネーブル信号が非活性状態になると、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施し、その回数分終了するとこれを基にロウ系動作を再活性する。これにより、次サイクルの高速アクセスを実現できる。

【0065】アドレストリガー型の半導体記憶装置において、たとえば、リフレッシュ実行回路は、アドレスが長い期間変化しない状態が続いた場合、その状態が認識された後に、次サイクルのアドレス変化を基にして、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施する。これにより、長い期間の後の/OE="H"の期間という制限がなくなり、外部タイミングの自由度が上がる。

【0066】前記の半導体記憶装置において、好ましくは、前記のリフレッシュ実行回路は、第2リフレッシュサイクルを基にしてまとめて実施する前記のリフレッシュ動作を、外部のアウトプットイネーブル信号またはライトイネーブル信号が、不活性化の後に所定期間より速く活性化された場合に実施しない。これにより、突発的なロングサイクルではバーストリフレッシュを行わない

22

ので、大きなアクセス遅延が発生するという問題を回避できる。

【0067】アドレストリガー型の半導体記憶装置において、たとえば、リフレッシュ実行回路は、アドレスが変化しない状態が続き、第1リフレッシュサイクル発生回路により発生される第1リフレッシュサイクルより長い期間リフレッシュ動作をしていない場合、ロウ系動作を非活性化させ、第1リフレッシュサイクルを基とするリフレッシュ動作をスキップした分まとめて第2リフレッシュサイクルを基にしてリフレッシュ動作を実施し、さらにその回数分のリフレッシュ動作を終了すると、ロウ系動作を再活性する。これにより、長い期間の後の/OE="H"の期間という制限がなくなり、外部タイミングの自由度が上がる。

【図面の簡単な説明】

【図1】 ロングサイクルとリフレッシュ動作の関連を説明するためのタイミングチャート

【図2】 本発明のDRAMの全体ブロック図

【図3】 第1の発明の実施の形態のリフレッシュ制御回路の図

【図4】 バーストリフレッシュ発生回路の図

【図5】 int/RE、int/WE、int/OE信号を発生する回路の図

【図6】 バーストリフレッシュ制御回路の図

【図7】 バーストリフレッシュ制御回路のタイミングチャート

【図8】 バーストリフレッシュ停止回路の図

【図9】 リフレッシュ期間発生回路の回路図

【図10】 通常サイクル時のリフレッシュ制御回路の動作の図

【図11】 ロングサイクル時のリフレッシュ制御回路の動作の図

【図12】 アドレストリガ式におけるリフレッシュ期間信号発生動作の図

【図13】 int/RAS信号を発生する回路の図

【図14】 アドレストリガ式におけるロングサイクル時のリフレッシュ動作を示すタイミングチャート

【図15】 ロングサイクル後の/OEまたは/WEが"H"の期間が所定期間より短い場合のリフレッシュ制御を示すタイミングチャート

【図16】 ロングサイクル時、/OEまたは/WE="H"の期間という制限なしのリフレッシュ動作の例を示すタイミングチャート

【図17】 ロングサイクル時、/OEまたは/WE="H"の期間という制限なしのリフレッシュ動作の第2の例を示すタイミングチャート

【図18】 図17の処理を行うリフレッシュ制御回路の図

【図19】 従来のDRAMにおける誤動作を説明するためのタイミングチャート

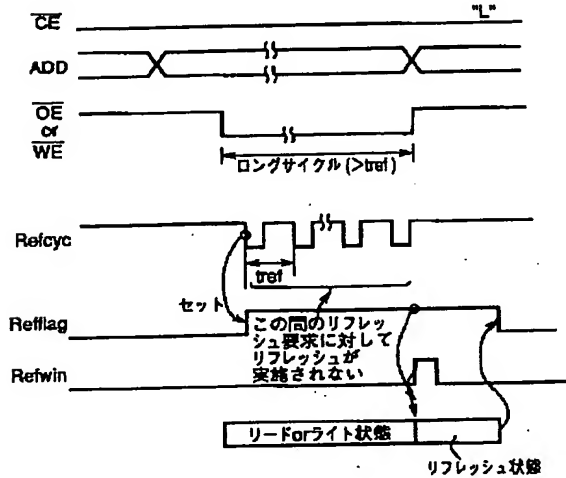
(13)

23

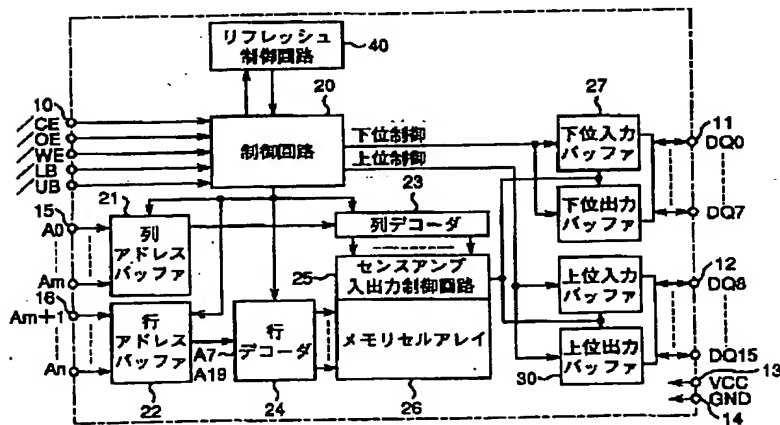
## 【符号の説明】

10 入力端子群、 11, 12, 15, 16 端子群、 20 制御回路、 26 メモリセルアレイ、 40 リフレッシュ制御回路、 100 リフレッシュフラグ発生回路、 102 第1バーストリ

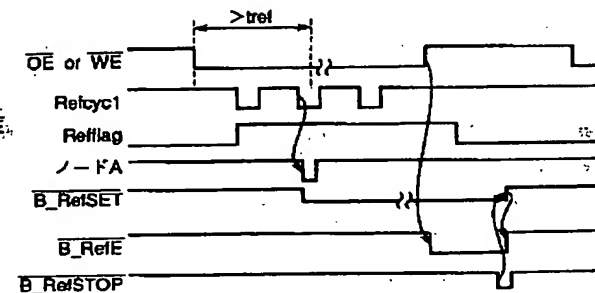
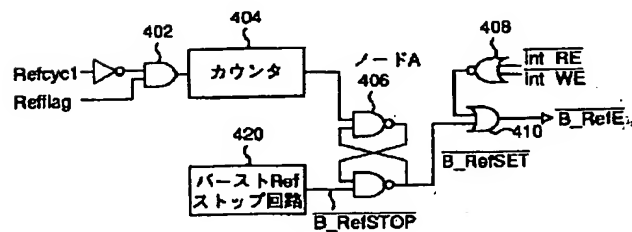
【図1】



【図2】



【図6】

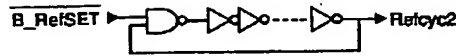


【図7】

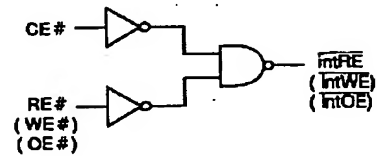
24

フレッシュ発生回路、 104 第2バーストリフレッシュフラグ発生回路、 200 リフレッシュ期間発生回路、 300 リフレッシュ要求発生回路、 400バーストリフレッシュ制御回路。

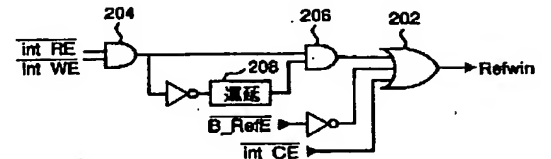
【図4】



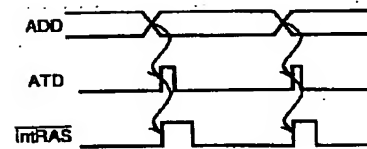
【図5】



【図9】

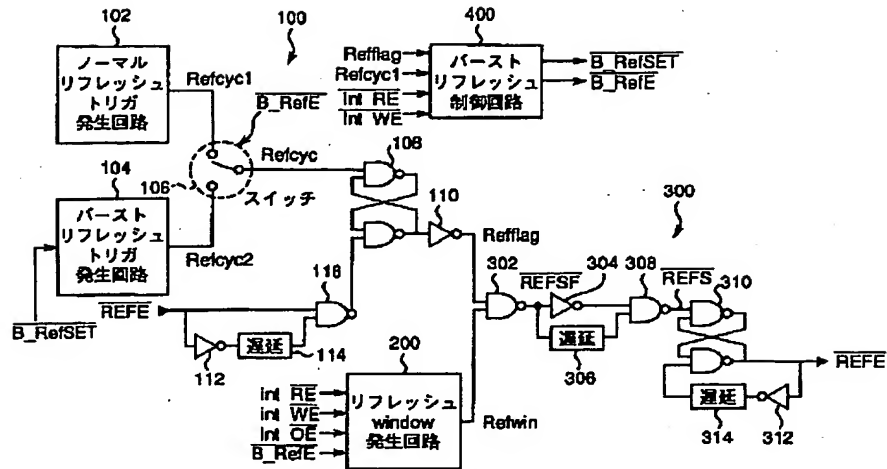


【図12】

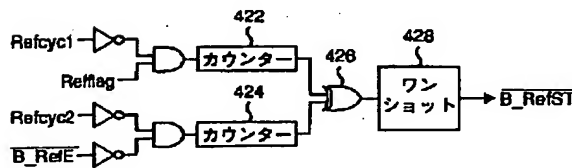


(14)

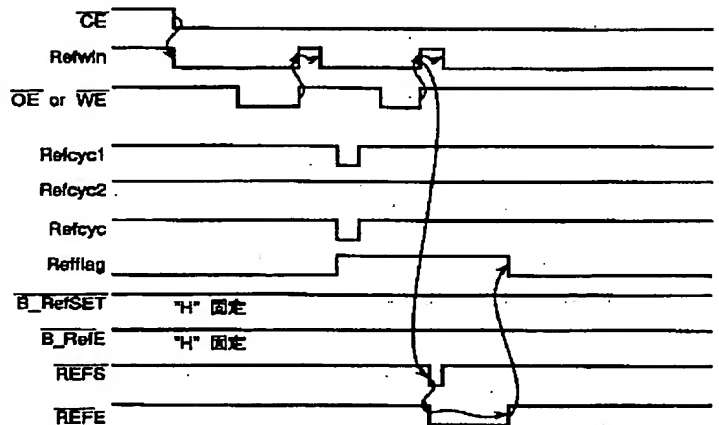
【図3】



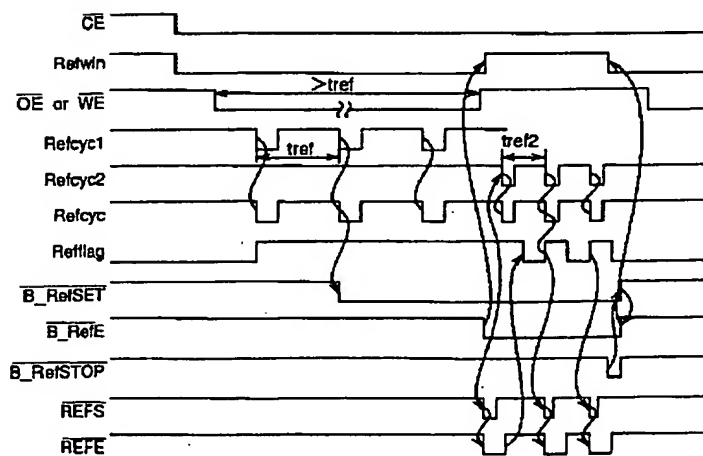
【図8】



【図10】



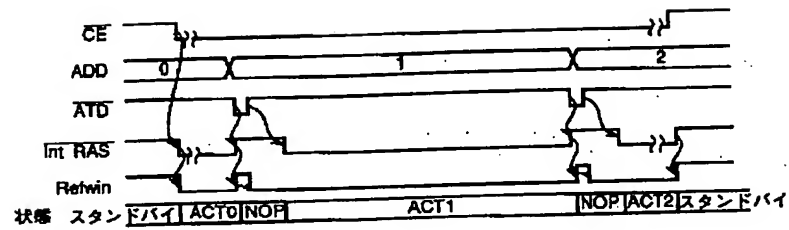
【図11】



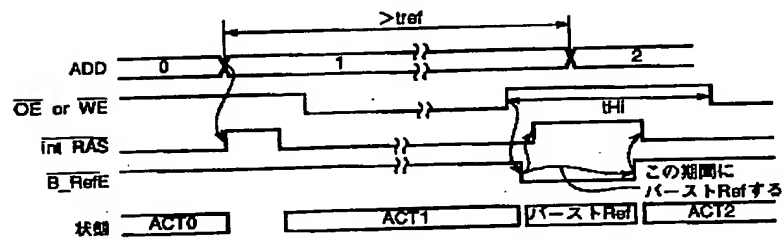


(15)

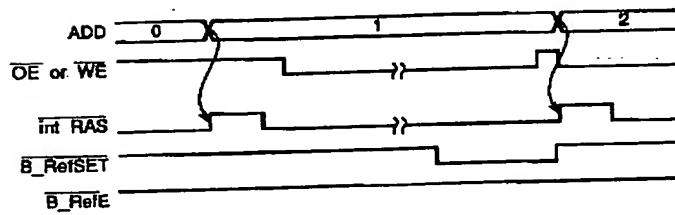
【図13】



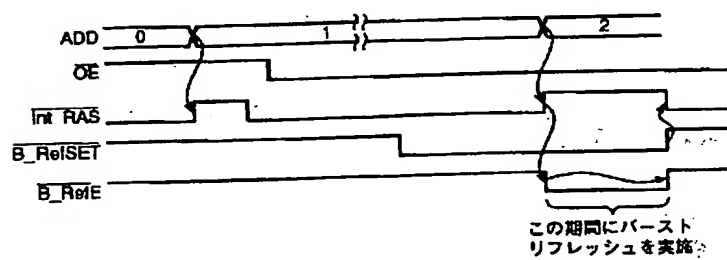
【図14】



【図15】

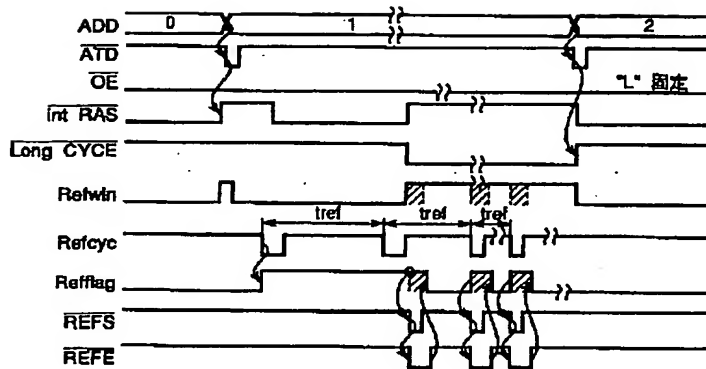


【図16】

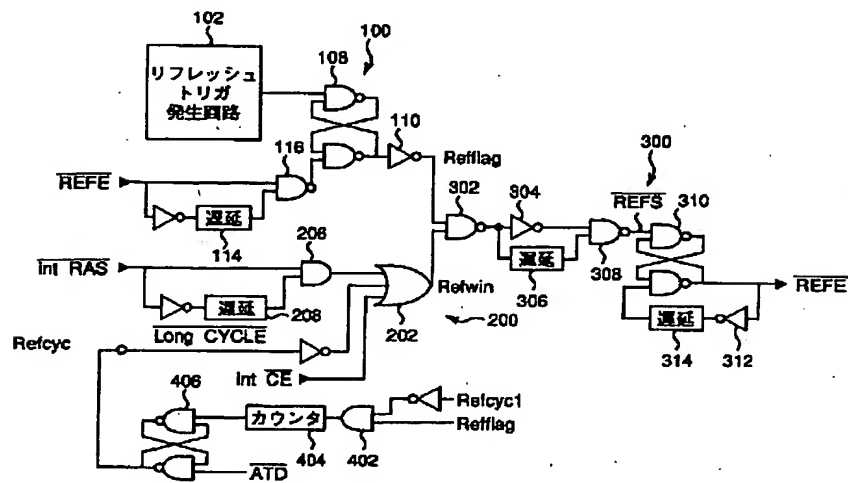


(16)

【図17】



【図18】



【図19】

